

## METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Publication number: JP2003077865 (A)

Publication date: 2003-03-14

Inventor(s): MIYATA MASANORI; MITANI TAKESHI; KONO YUICHI; YAMAMOTO HIDEMI +

Applicant(s): RICOH KK +

Classification:

- International: C23C16/14; H01L21/28; H01L21/285; H01L21/768; C23C16/06; H01L21/02; H01L21/70; (IPC1-7): H01L21/285; C23C16/14; H01L21/768

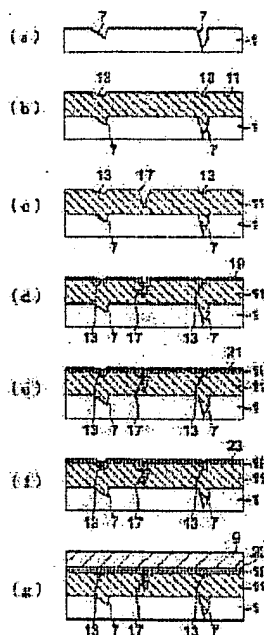
- European:

Application number: JP20010266115 20010903

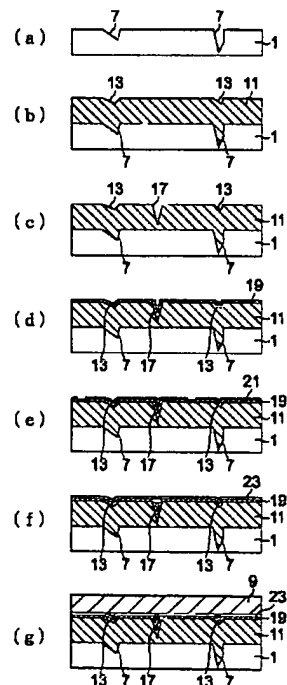
Priority number(s): JP20010266115 20010903

### Abstract of JP 2003077865 (A)

**PROBLEM TO BE SOLVED:** To prevent exfoliation of a glued layer. **SOLUTION:** A glue layer 19 composed of TiN/Ti is formed on an interlayer insulating film 11 (d). Nuclei 21 of Si are formed on the glued layer 19 in a state that an edge cut is not in contact with a wafer (e). An initial nucleus forming film 23 formed of a tungsten film is formed on the glued layer 19 by a CVD method using WF<sub>6</sub> gas and SiH<sub>4</sub> gas. At this time, the nuclei 21 of Si act as a barrier film, and exfoliation of the glued layer 19 which is caused by corrosion of WF<sub>6</sub> gas is prevented (f). In the state that of edge cut is in contact with the wafer, by the CVD using WF<sub>6</sub> gas and H<sub>2</sub> gas, a tungsten film 25 is formed on the initial nucleus forming film 23 in a region except an edge cut arrangement region. At this time, the initial nucleus forming film 23 acts as a barrier film, and exfoliation of the glued layer 19 due to the corrosion of WF<sub>6</sub> gas is prevented (g).



Data supplied from the *espacenet* database — Worldwide



## 【特許請求の範囲】

【請求項1】 CVD法による接続孔へのタングステンの埋め込みを含む半導体装置の製造方法において、以下の工程(A)～(E)を含むことを特徴とする製造方法。

(A) 接続孔が形成された層間絶縁膜上にグルーレイヤーとしての第1導電膜を形成する工程、(B) エッジカットとウェハを非接触の状態で、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、前記第1導電膜上に第2導電膜の初期核形成膜を形成する工程、(C) エッジカットとウェハを接触させた状態で、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、少なくとも前記接触孔を埋め込む膜厚で前記第2導電膜の初期核形成膜上に第2導電膜を形成する工程、(D) 前記第2導電膜を前記接続孔内にのみ残すようにエッチバックする工程。

【請求項2】 前記工程(B)は、前記第2導電膜の初期核形成膜を形成する前に、エッジカットとウェハを非接触の状態で、前記第1導電膜の表面にシリコンの核を形成する工程を含む請求項1に記載の製造方法。

【請求項3】 前記工程(B)で、タングステンを含む金属化合物ガスとして六フッ化タングステンガスを用い、還元ガスとしてシランガスを用いる請求項1又は2に記載の製造方法。

【請求項4】 六フッ化タングステンガスの流量をシランガスのガス流量よりも小さく設定して前記第2導電膜の初期核形成膜を形成する請求項3に記載の製造方法。

【請求項5】 前記工程(B)で、エッジカット配置領域の前記第1導電膜上に形成する前記第2導電膜の初期核形成膜の膜厚は30～100Åである請求項1から4のいずれかに記載の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に層間絶縁膜に形成された接続孔の埋め込み方法に関するものである。

【0002】

【従来の技術】 コンタクトホールやビアホールなど、層間絶縁膜に形成された接続孔内にグルーレイヤー（接着層）を介してタングステンを埋め込む従来技術がある。例えば特開平7-245300号公報では、CVD（化学的気相成長）法によりタングステンで接続孔を埋め込む際、上層がTiN（窒化チタン）膜、下層がTi（チタン）膜の積層膜（TiN/Ti）からなるグルーレイヤーを用い、窒化チタン膜がチタン膜を完全に覆った状態でタングステンの形成を行なう。これにより、タングステンの原料ガスであるWF<sub>6</sub>（六フッ化タングステン）ガスのチタン膜への侵食を抑制し、グルーレイヤーのはがれを防止している（従来技術1）。

【0003】 また、CVD法によりタングステンで接続

孔を埋め込む際、グルーレイヤーの上層にバリア性に乏しいRTA（高速昇温）TiNを使用すると、WF<sub>6</sub>侵食によりグルーレイヤーのはがれが生じる。そこで、グルーレイヤーにREACTIVE TiNを使用し、アニールしてやることではがれを抑制できる（FAILURE OF TITANIUM NITRIDE DIFFUSION BARRIERS DURING TUNGSTEN CHEMICAL VAPOR DEPOSITION: THEORY AND PRACTICE, M. Ruttent et al./ Advanced Metallization for ULSI Applications, 1992, 277-283参照、従来技術2）。

【0004】 従来技術1では、グルーレイヤーでTi膜が露出してしまうとはがれを抑制することができない。また、従来技術2に示されているように、グルーレイヤーにRTA TiNを使用すると、RTA TiNはTiNに比べてWF<sub>6</sub>に対するバリア性に乏しいため、はがれる可能性が大きくなる。

【0005】 このような問題は特にウェハエッジ部分（ウェハの周辺部分）で顕著である。CVD装置などの装置においては、図5に示すように、ウェハ31に処理を施す際、ウェハ31を載せたウェハステージ33を上昇させてウェハエッジ部分にエッジカット9を接触させる。そのため、ウェハエッジ部分では、タングステン形成工程までの様々な前工程において、ウェハエッジ部分にエッジカットが直接触れてキズが生じ易い。

【0006】 図6に示すように、ウェハエッジ部分のSi（シリコン）基板1表面にキズ7が存在すると（（a）参照）、その上層に形成される層間絶縁膜11の表面にキズ7に対応して段差部13が形成される（（b）参照）。さらに、層間絶縁膜11表面にエッジカットが接触されてキズ17が生じる（（c）参照）。このような状態で、層間絶縁膜11上にTiN/Tiからなるグルーレイヤーを形成すると、段差部13及びキズ17部分ではTiN膜が十分にカバレッジされにくい。TiN膜が十分にカバレッジされていない部分はWF<sub>6</sub>ガスに対するバリア性が非常に弱い。CVD法によりタングステン膜を形成する際、エッジカットとウェハが接触した状態でも、エッジカットとウェハの隙間に入り込むわずかなWF<sub>6</sub>ガスによりグルーレイヤーのTi膜が侵食され、グルーレイヤーのはがれを引き起こす。

【0007】

【発明が解決しようとする課題】 グルーレイヤーがはがれると、そのはがれた薄片が素子部分に付着して欠陥となるなどの不具合を引き起こすという問題があった。TiNに比べてバリア性に乏しいRTA TiNをグルーレイヤーに使用したときにも同様の問題が発生する。

【0008】 そこで本発明は、CVD法による接続孔へのタングステンの埋め込みを含む半導体装置の製造方法において、グルーレイヤーにおいてTi膜が露出している場合、又はグルーレイヤーにRTA TiNを使用した場合でも、グルーレイヤーのはがれを防止することができる製造方法を提供することを目的とするものであ

る。

【0009】

【課題を解決するための手段】本発明は、CVD法による接続孔へのタングステンの埋め込みを含む半導体装置の製造方法であって、以下の工程(A)～(E)を含む。

(A) 接続孔が形成された層間絶縁膜上にグルーレイヤーとしての第1導電膜を形成する工程、(B) エッジカットとウェハを非接触の状態で、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、上記第1導電膜上に第2導電膜の初期核形成膜を形成する工程、(C) エッジカットとウェハを接触させた状態で、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、少なくとも上記接続孔を埋め込む膜厚で上記第2導電膜の初期核形成膜上に第2導電膜を形成する工程、(D) 上記第2導電膜を上記接続孔内にのみ残すようにエッチバックする工程。本明細書において、エッジカットが配置されるウェハ上の領域をエッジカット配置領域と称す。

【0010】工程(B)において、エッジカットとウェハを非接触の状態で第1導電膜上に第2導電膜の初期核形成膜を形成することにより、エッジカット配置領域の第1導電膜上にも第2導電膜の初期核形成膜を形成する。この第2導電膜の初期核形成膜は、工程(C)においてエッジカットとウェハを接触させた状態で行なう第2導電膜の形成の際に、エッジカットとウェハの隙間に入り込むタングステンを含む金属化合物ガスに対してバリア膜として働き、タングステンを含む金属化合物ガスによって第1導電膜が侵食されるのを防止する。

【0011】

【発明の実施の形態】上記工程(B)は、上記第2導電膜の初期核形成膜を形成する前に、エッジカットとウェハを非接触の状態で、上記第1導電膜の表面にシリコンの核を形成する工程を含むことが好ましい。工程(B)において、第2導電膜の初期核形成膜を形成する際、エッジカット配置領域に拡散するタングステンを含む金属化合物ガスの量が大きくなると、第2導電膜の初期核形成膜を形成する段階で第1導電膜が侵食される虞がある。そこで、第2導電膜の初期核形成膜を形成する前に、エッジカットとウェハを非接触の状態で、第1導電膜の表面にSiの核を形成する。このSiの核は第2導電膜の初期核形成膜を形成する際にバリア膜として働き、タングステンを含む金属化合物ガスによって第1導電膜が侵食されるのを防止する。

【0012】上記工程(B)で、タングステンを含む金属化合物ガスとして六フッ化タングステンガスを用い、還元ガスとしてシランガスを用いることが好ましい。還元ガスとしてSiH<sub>4</sub>(シラン)ガスを用いると、気相反応が支配的になり、ウェハ周辺部のエッジカット配置領域に届くまでに消費されるWF<sub>6</sub>の量が多くなる。こ

れにより、WF<sub>6</sub>によるエッジカット配置領域での第1導電膜の侵食を防止することができる。

【0013】上記工程(B)で、タングステンを含む金属化合物ガスとして六フッ化タングステンガスを用い、還元ガスとしてシランガスを用いる場合、六フッ化タングステンガスの流量をシランガスのガス流量よりも小さく設定して上記第2導電膜の初期核形成膜を形成することが好ましい。その結果、気相反応が支配的になり、ウェハ周辺部のエッジカット配置領域に届くまでに消費されるWF<sub>6</sub>の量が多くなるので、WF<sub>6</sub>によるエッジカット配置領域での第1導電膜の侵食を防止することができる。

【0014】上記工程(B)で、エッジカットが配置される領域の上記第1導電膜上に形成する上記第2導電膜の初期核形成膜の膜厚は30～100Å(オングストローム)であることが好ましい。エッジカット配置領域に形成される第2導電膜の初期核形成膜の膜厚が厚くなると、膜ストレスが大きくなり、後工程で上層に配線用の導電膜を形成した際に第2導電膜の初期核形成膜部分がはがれて異物が発生する。そこで、第2導電膜の初期核形成膜を30～100Åの膜厚で形成することにより、バリア膜としての機能をもたせつつ、膜ストレスを小さく抑えることができ、後工程で上層に配線用の導電膜を形成する際に第2導電膜の初期核形成膜がはがれるのを防止することができる。

【0015】

【実施例】図1、図2及び図3は一実施例を説明するための工程断面図である。図1はウェハ周辺部のエッジカット配置領域での断面、図2及び図3は接続孔形成領域での断面を示す。図1から図2を用いてこの実施例を説明する。

(1) Si基板1上にゲート酸化膜3を介してポリシリコン膜からなるトランジスタのゲート電極5を形成する。ウェハ周辺部のエッジカット配置領域には、ゲート電極5を形成するまでの工程でエッジカットが接触され、Si基板1表面にキズ7が存在している(図1(a)及び図2(a)参照)。

【0016】(2) 図1に示すエッジカット配置領域よりも外周側でエッジカットとウェハを接触させた状態で、Si基板1上全面に層間絶縁膜11を形成する。エッジカット配置領域の層間絶縁膜11にはSi基板1のキズ7に対応して段差部13が形成される(図1(b)及び図2(b)参照)。

【0017】(3) 図1に示すエッジカット配置領域でエッジカット(図示は省略)とウェハを接触させた状態で、写真製版技術及びエッチング技術により、層間絶縁膜11のゲート電極5に対応する位置及びSi基板1の所望の位置に対応する位置にコンタクトホール15を形成する。このとき、図1に示すエッジカット配置領域において、エッジカットの接触によって層間絶縁膜11の

表面にキズ17が発生する(図1(c)及び図2(c)参照)。

【0018】(4)図1に示すエッジカット配置領域よりも外周側でエッジカットとウェハを接触させた状態で、コンタクトホール15を含む層間絶縁膜11上に、例えばチタン膜を1000Åの膜厚で形成し、窒素雰囲気中で温度は800℃、時間は60秒の条件でランプアニール処理を施し、チタン膜表面を窒化させてRTA TiNを形成し、TiN/Tiからなるグルーレイヤー(第1導電膜)19を形成する。このとき、図1に示すエッジカット配置領域において、段差部13上及びキズ17上のグルーレイヤー19はカバレッジが十分でない(図1(d)及び図2(d)参照)。

【0019】(5)エッジカットとウェハを非接触の状態、例えば基板温度は450℃、SiH<sub>4</sub>ガス流量は30sccm、時間は30秒の条件でSiH<sub>4</sub>ガスを流して、エッジカット配置領域を含むグルーレイヤー19上に20Åの膜厚でSiの核21を形成する(図1(e)及び図2(e)参照)。エッジカットとウェハを非接触にする際、例えば図4に示すように、ウェハステージ33を降下させ、エッジカット9をエッジカット保持部材35に支持させてエッジカット9とウェハ31を非接触にする。ただし、本発明において、エッジカットとウェハを非接触にする方法はこれには限定されない。

【0020】(6)エッジカットとウェハを非接触の状態、WF<sub>6</sub>ガスとSiH<sub>4</sub>ガスを用いたCVD法により、グルーレイヤー19上にタングステン膜(第2導電膜)の初期核形成膜23を形成する。この際、気相反応が支配的になる条件、例えば基板温度は450℃、WF<sub>6</sub>ガス流量は5sccm、SiH<sub>4</sub>ガス流量は15sccm、時間は40秒の条件で処理を行ない、接続孔形成領域を含むエッジカットにかからない領域には700Åの膜厚で、エッジカット配置領域には50Åの膜厚で初期核形成膜23を形成する(図1(f)及び図2(f)参照)。このとき、Siの核21がバリア膜として働き、WF<sub>6</sub>ガスによりグルーレイヤー19が侵食されてはがれるのを防止する。

【0021】(7)図1に示すエッジカット配置領域でエッジカット9とウェハを接触させた状態で、WF<sub>6</sub>ガスとH<sub>2</sub>(水素)ガスを用いたCVD法により、ホール埋め込み用タングステン膜25をエッジカット配置領域以外の初期核形成膜23上に形成する(図1(g)及び図2(g)参照)。このとき、初期核形成膜23がバリア膜として働き、WF<sub>6</sub>ガスによりグルーレイヤー19が侵食されてはがれるのを防止する。

【0022】以下の工程は図1に示すエッジカット配置領域にエッジカット9を接触させた状態(図1(g)参照)で行なうので、エッジカット配置領域の工程断面図は省略する。

(8)タングステン膜25をエッチバックし、コンタ

クトホール15以外のタングステン膜25を除去する。このとき、コンタクトホール15以下の初期核形成膜23も同時に除去される(図3(h)参照)。

(9)Si基板1上全面に上層配線用アルミニウム合金膜27を形成する(図3(i)参照)。

【0023】(10)アルミニウム合金膜27上にレジスト膜を形成し、写真製版技術によりレジストパターンを形成した後、そのレジストパターンをマスクとしてアルミニウム合金膜27及びグルーレイヤー19をパターン化して、配線29を形成する。その後、レジストパターンを除去する(図3(j)参照)。

【0024】このように、本発明によれば、グルーレイヤーにRTA TiNを使用した場合でも、グルーレイヤーのはがれを防止することができる。また、グルーレイヤーとして、チタン膜の上層に窒化チタン膜を堆積したTiN/Tiを用い、下層のTi膜が露出している場合であっても、グルーレイヤー上層に形成するSiの核及びタングステン膜の初期核形成膜により、グルーレイヤーへのWF<sub>6</sub>の侵食を防止し、グルーレイヤーのはがれを防止することができる。

【0025】この実施例では本発明の製造方法をコンタクトホールへのタングステンの埋め込みに適用しているが、本発明はこれに限定されるものではなく、多層配線の接続に用いるビアホールへのタングステンの埋め込みに適用してもよい。以上、本発明の実施例を説明したが、本発明はこれに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0026】

【発明の効果】請求項1に記載の製造方法では、層間絶縁膜上にグルーレイヤーとしての第1導電膜を形成する工程(A)、エッジカットとウェハを非接触の状態、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、第1導電膜上に第2導電膜の初期核形成膜を形成する工程(B)、エッジカットとウェハを接触させた状態で、タングステンを含む金属化合物ガスと還元ガスを用いたCVD法により、第2導電膜の初期核形成膜上に第2導電膜を形成する工程(C)、第2導電膜を接続孔内にのみ残すようにエッチバックする工程(D)を含むようにしたので、工程(C)においてエッジカットとウェハを接触させた状態で行なう第2導電膜の形成の際に、工程(B)で形成した第2導電膜の初期核形成膜がエッジカットとウェハの隙間に入り込むタングステンを含む金属化合物ガスに対してバリア膜として働き、タングステンを含む金属化合物ガスによって第1導電膜が侵食されてはがれるのを防止することができる。

【0027】請求項2に記載の製造方法では、工程(B)は、第2導電膜の初期核形成膜を形成する前に、エッジカットとウェハを非接触の状態、第1導電膜の

表面にSiの核を形成する工程を含むようにしたので、Siの核が第2導電膜の初期核形成膜を形成する際にバリア膜として働き、タングステンを含む金属化合物ガスによって第1導電膜が侵食されてはがれるのを防止することができる。

【0028】請求項3に記載の製造方法では、工程(B)で、タングステンを含む金属化合物ガスとして $WF_6$ ガスを用い、還元ガスとして $SiH_4$ ガスを用いるようにしたので、ウェハ周辺部のエッジカット配置領域に届くまでに消費される $WF_6$ の量が多くなり、 $WF_6$ によりエッジカット配置領域で第1導電膜が侵食されてはがれるのを防止することができる。

【0029】請求項4に記載の製造方法では、工程(B)で、タングステンを含む金属化合物ガスとして $WF_6$ ガスを用い、還元ガスとして $SiH_4$ ガスを用いる場合、 $WF_6$ ガスの流量を $SiH_4$ ガスのガス流量よりも小さく設定して第2導電膜の初期核形成膜を形成するようにしたので、ウェハ周辺部のエッジカット配置領域に届くまでに消費される $WF_6$ の量が多くなり、 $WF_6$ によりエッジカット配置領域で第1導電膜が侵食されてはがれるのを防止することができる。

【0030】請求項5に記載の製造方法では、工程(B)で、エッジカットが配置される領域の第1導電膜上に形成する第2導電膜の初期核形成膜の膜厚は30～100Åであるようにしたので、バリア膜としての機能をもたせつつ、膜ストレスを小さく抑えることができ、後工程で上層に配線用の導電膜を形成する際に第2導電膜の初期核形成膜がはがれるのを防止することができる。

#### 【図面の簡単な説明】

【図1】一実施例を説明するためのエッジカット配置領域での工程断面図である。

【図2】一実施例を説明するための接続工形成領域での工程断面図である。

【図3】図2の続きを説明するための接続工形成領域での工程断面図である。

【図4】エッジカットとウェハを非接触にした状態を示す断面図である。

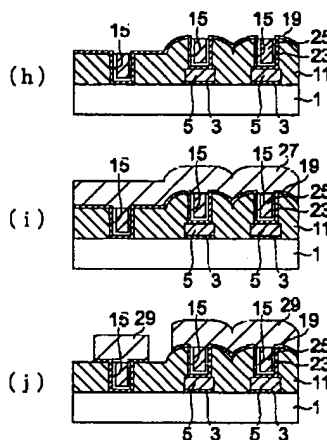
【図5】エッジカットとウェハを接触させた状態を示す断面図である。

【図6】従来の製造方法におけるウェハエッジ部分での工程断面図である。

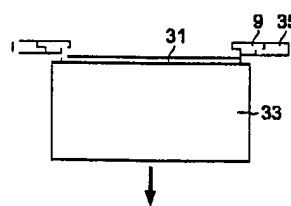
#### 【符号の説明】

- |    |                 |
|----|-----------------|
| 1  | Si基板            |
| 3  | ゲート酸化膜          |
| 5  | ゲート電極           |
| 7  | Si基板表面のキズ       |
| 9  | エッジカット          |
| 11 | 層間絶縁膜           |
| 13 | 段差部             |
| 15 | コンタクトホール        |
| 17 | 層間絶縁膜表面のキズ      |
| 19 | グルーレイヤー         |
| 21 | Siの核            |
| 23 | タングステン膜の初期核形成膜  |
| 25 | ホール埋め込み用タングステン膜 |
| 27 | 上層配線用アルミニウム合金膜  |
| 29 | 配線              |

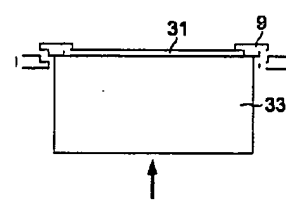
【図3】



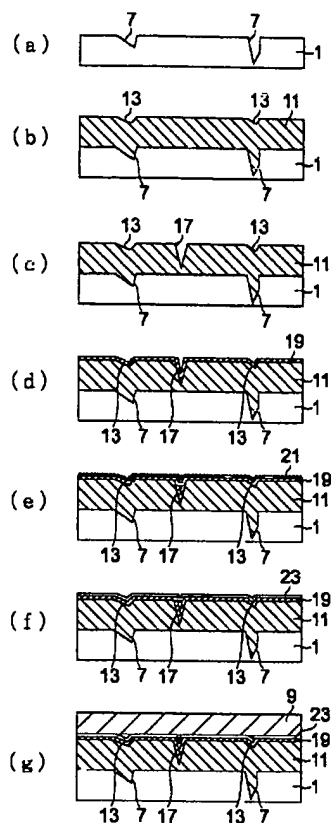
【図4】



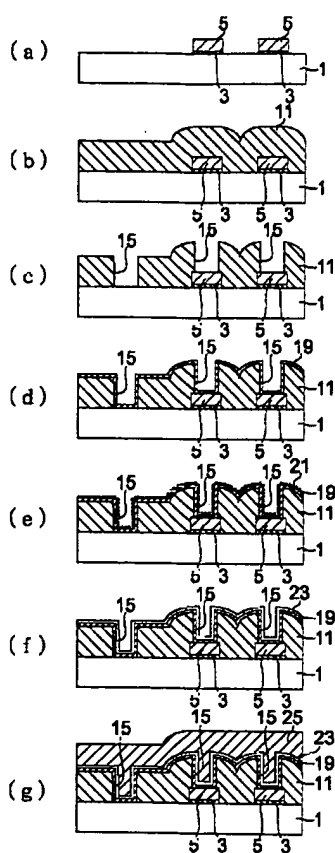
【図5】



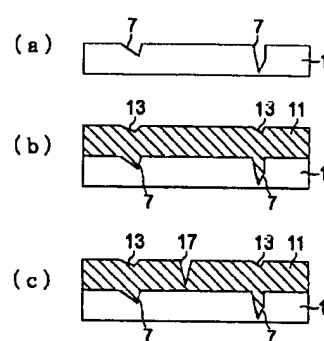
【図1】



【図2】



【図6】



フロントページの続き

(72)発明者 河野 勇一

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 山本 秀己

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

Fターム(参考) 4K030 AA04 BA20 CA04 DA02 FA10

HA01 JA01 LA15

4M104 BB14 BB18 DD43 DD45 DD75

DD78 DD80 DD86 FF16 FF22

HH20

5F033 HH08 JJ18 JJ19 JJ33 KK01

KK04 MM08 MM13 NN06 NN07

PP04 PP06 PP33 QQ48 QQ73

QQ78 QQ82 WW02 XX00